

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0019

Applicant: Ho Seok LEE et al.

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: METHOD FOR FORMING CONTACT HOLE OF SEMICONDUCTOR
DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

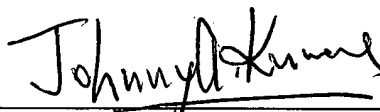
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2003-0023022 filed April 11, 2003

Respectfully submitted,

Date: June 30, 2003

By



Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0023022
Application Number

출원년월일 : 2003년 04월 11일
Date of Application APR 11, 2003

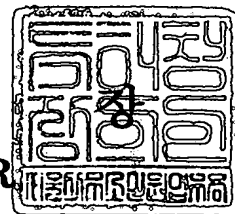
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.04.11
【국제특허분류】	H01L
【발명의 명칭】	반도체소자의 콘택홀 형성방법
【발명의 영문명칭】	Method for Forming Contact Hole of Semiconductor Device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	황의인
【대리인코드】	9-1998-000660-7
【포괄위임등록번호】	2003-017010-4
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	이호석
【성명의 영문표기】	LEE, Ho Seok
【주민등록번호】	660801-1018912
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 686번지 LG1차아파트 114동 1303호
【국적】	KR
【발명자】	
【성명의 국문표기】	김동석
【성명의 영문표기】	KIM, Dong Sauk
【주민등록번호】	600212-1674616

【우편번호】	138-852
【주소】	서울특별시 송파구 송파2동 삼성아파트 105-1304
【국적】	KR
【발명자】	
【성명의 국문표기】	김진웅
【성명의 영문표기】	KIM, Jin Woong
【주민등록번호】	640201-1482211
【우편번호】	134-072
【주소】	서울특별시 강동구 명일2동 56번지 현대아파트 16-404
【국적】	KR
【공개형태】	간행물 발표
【공개일자】	2003.01.22
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 황의 인 (인) 대리인 이정훈 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 콘택홀을 형성한 후 콘택홀의 바닥면에 잔류하는 폴리머 찌꺼기를 용이하게 제거함으로써 셀의 콘택 저항을 개선시키기 위한 반도체소자의 콘택홀 형성방법에 관한 것으로, 콘택홀을 형성한 다음, 상기 콘택홀을 산소를 포함하는 혼합가스 플라즈마로 처리하여 콘택홀의 바닥면에 잔류하는 폴리머 찌꺼기를 탄소 또는 불소가 제거된 순수한 실리콘 산화막으로 변환함으로써, 후속 세정공정에서 이를 용이하게 제거할 수 있어 고집적화된 반도체소자의 셀의 콘택 저항을 낮아지게 할 수 있다.

【대표도】

도 2c

【명세서】

【발명의 명칭】

반도체소자의 콘택홀 형성방법 {Method for Forming Contact Hole of Semiconductor Device}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래기술에 따른 반도체소자의 콘택홀 형성방법을 도시하는 단면도.

도 2a 내지 도 2d는 본 발명에 따른 반도체소자의 콘택홀 형성방법을 도시하는 단면도.

도 3a 내지 도 3d는 본 발명에 따른 반도체소자의 콘택홀 형성시 각각의 처리 단계에 따른 콘택홀의 표면 분석 결과를 나타내는 그래프.

< 도면의 주요부분에 대한 부호 설명 >

10, 100 : 반도체기판	12, 102 : 도전체 패턴
14, 104 : 하드마스크막	16, 106 : 스페이서
18, 108 : 캐핑층	20, 110 : 층간절연막
22, 112 : 감광막 패턴	24, 114 : 콘택홀
26, 116 : 폴리머 찌꺼기	118 : 실리콘 산화막
30, 120 : 도전층	

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체소자의 콘택홀 형성방법에 관한 것으로, 더욱 상세하게는 콘택홀을 형성한 후 산소를 포함하는 혼합가스 플라즈마를 이용하여 콘택홀을 처리함으로써, 콘택홀의 바닥면에 잔류하는 폴리머 찌꺼기를 용이하게 제거하여 셀의 콘택 저항을 개선하는 반도체소자의 콘택홀 형성방법에 관한 것이다.
- <12> 반도체소자가 고집적화되어 셀의 크기가 감소됨에 따라 셀의 콘택 저항을 개선시키는 것이 중요하다.
- <13> 도 1a 내지 도 1c는 종래기술에 따른 반도체소자의 콘택홀 형성방법을 도시한다.
- <14> 도 1a를 참조하면, 반도체기판(10) 상부에 도전체 패턴(12)과 하드마스크막 (14)의 적층패턴을 형성한 후, 상기 구조의 전체표면 상부에 질화막(미도시)을 형성하고 상기 질화막을 전면식각하여 도전체 패턴(12)과 하드마스크막(14)의 적층패턴 측벽에 스페이서(16)를 형성한 다음, 전체표면 상부에 질화막, 탄화막 또는 알루미늄나막을 증착하여 캡핑층(18)을 형성한다.
- <15> 다음, 상기 구조의 전체표면 상부에 BPSG(borophospho silicate glass) 산화막, PSG(phospho silicate glass) 산화막, TEOS(tetraethyl ortho silicate) 산화막, PE-TEOS(plasma enhanced-tetraethyl ortho silicate) 산화막, O₃-TEOS(O₃- tetraethyl ortho silicate) 산화막, HDP(high density plasma) 산화막, APL(advanced

planarization layer) 산화막 또는 USG(undoped silicate glass) 산화막을 증착하여 층간절연막(20)을 형성한다.

<16> 상기 캐핑층(18)을 구성하는 질화막, 탄화막 또는 알루미늄막은 층간절연막 (20)을 구성하는 산화막에 대하여 선택비가 우수하다.

<17> 다음, 포토리소그래피 공정을 이용하여 층간절연막(20)을 선택적으로 식각하여 콘택홀 영역을 정의하는 콘택홀(24)을 형성한다.

<18> 상기 포토리소그래피 공정을 살펴보면, 먼저 층간절연막(20) 상부에 감광막(미도시)을 형성시킨 후, 상기 감광막을 선택적으로 노광 및 현상하여 감광막 패턴 (22)을 형성함으로써 콘택 마스크를 정의한다.

<19> 도 1b를 참조하면, 콘택 마스크인 감광막 패턴(22)을 식각 장벽으로 하여 캐핑층 (18)이 노출될 때까지 층간절연막(20)을 선택적으로 식각하여 콘택홀(24)을 형성한다.

<20> 다음, O_2 플라즈마를 사용하여 잔류하는 감광막 패턴(22)을 제거한 다음, 콘택홀 (24)의 바닥면에 존재하는 캐핑층(18)을 $CF_4/CHF_3/Ar$ 혼합가스 플라즈마 또는 $CHF_3/O_2/Ar$ 혼합가스 플라즈마를 사용하여 식각함으로써 활성영역이 오픈되도록 하는데, 그 결과 콘택홀(24)의 바닥면에는 탄소 또는 불소가 함유되어 있는 산화막인 폴리머 찌꺼기(26)가 잔류하게 된다.

<21> 다음, 상기 결과물을 HF 또는 BOE(Buffered Oxide Etch, NH_4F+HF)를 이용한 습식공정으로 세정하여 폴리머 찌꺼기(26)를 제거한다.

<22> 그러나, 콘택홀(24)의 바닥면에 잔류하는 폴리머 찌꺼기(26)는 $Si_xO_yF_z$, Si_xC_y 또는 $Si_xO_yN_z$ 등의 복합막 물질이며, 후속 도전층 물질 증착 전에 세정공정을 수행한 후에

도 1가(Si^+), 2가(Si^{2+}) 또는 3가(Si^{3+})의 산화막이 잔류한다. 이는 활성영역과 도전층의 계면에 계속 존재하게 되어 콘택 저항을 높여 데이터 리드/라이트(read/ write)시 지연 시간(delay time)을 주게 되어 디바이스 특성이 열화된다.

<23> 따라서, 상기 잔류 산화막을 제거하기 위해서는 동일 두께의 실리콘 산화막(SiO_2)을 제거할 때보다 세정공정 시간을 크게 증가시킬 필요가 있는데, 이에 따라 층간절연막(20) 물질의 손실도 유발되어 콘택과 콘택을 분리하는 분리막의 마진(margin)이 부족해지는 문제점이 발생한다.

<24> 뿐만 아니라, 세정공정 시간을 증가시킨다 하더라도 1가(Si^+), 2가(Si^{2+}) 또는 3가(Si^{3+})의 산화막은 제거되지 않을 수도 있어 이물질이 없는 활성영역과 도전층의 계면을 확보하기 어려운 문제점이 있다.

<25> 도 1c를 참조하면, 상기 구조의 전체표면 상부에 폴리실리콘층 또는 금속층 등의 도전층(30)을 증착한 다음, 이를 평탄화식각함으로써 폴리플러그 또는 메탈라인(미도시)등을 형성할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명은 상기 종래기술의 문제점을 해결하기 위한 것으로, 콘택홀의 바닥면에 잔류하는 폴리머 찌꺼기를 탄소 또는 불소가 제거된 순수한 실리콘 산화막으로 변환하여 후속 세정공정에서 용이하게 제거되도록 함으로써 셀의 콘택 저항을 낮출 수 있는 반도체소자의 콘택홀 형성방법을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<27> 상기 목적을 달성하기 위하여 본 발명에서는

- <28> (a) 소정의 하부구조를 구비한 반도체기판 전면에 캐핑층 및 평탄화된 층간절연막을 순차적으로 형성하는 단계;
- <29> (b) 상기 층간절연막을 선택적으로 식각하여 상기 캐핑층의 소정영역을 노출시키는 단계;
- <30> (c) 상기 노출된 캐핑층을 제거하는 단계;
- <31> (d) 상기 구조물을 산소를 포함하는 혼합가스 플라즈마로 처리하여 잔류하는 폴리머 찌꺼기를 실리콘 산화막(SiO_2 막)으로 변환시키는 단계; 및
- <32> (e) 세정공정을 수행하여 상기 실리콘 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 콘택홀 형성방법을 제공한다.
- <33> 상기의 단계를 포함하는 본 발명에 있어서, 상기 산소를 포함하는 혼합가스 플라즈마는 $\text{NF}_3/\text{O}_2/\text{He}$ 혼합가스 플라즈마, Ar/O_2 혼합가스 플라즈마, CF_4/O_2 혼합가스 플라즈마 및 $\text{CF}_4/\text{O}_2/\text{Ar}$ 혼합가스 플라즈마로 이루어진 군으로부터 선택되는 것과,
- <34> 상기 (d) 단계는 식각 챔버(etching chamber)에서 인-시투(in-situ)로 수행되는 것과,
- <35> 상기 (d) 단계는 별도의 플라즈마 챔버(plasma chamber)에서 엑스-시투(ex-situ)로 수행되는 것을 특징으로 한다.
- <36> 이하에서는 본 발명을 첨부한 도면을 참조하여 상세히 설명하기로 한다.
- <37> 도 2a 내지 도 2d는 본 발명에 따른 반도체소자의 콘택홀 형성방법을 도시하는 것으로, 소정의 하부구조를 구비한 반도체기판 전면에 캐핑층 및 평탄화된 층간절연막을 순차적으로 형성한 다음, 상기 평탄화된 층간절연막을 선택적으로 식각하여 상기 캐핑층

의 소정영역을 노출시킨 후, 상기 노출된 캐핑층을 제거하여 콘택홀을 형성하는 것을 도시하고 있다.

<38> 도 2a를 참조하면, 반도체기판(100) 상부에 도전체 패턴(102)과 하드마스크막(104)의 적층패턴을 형성한 후, 상기 구조의 전체표면 상부에 질화막(미도시)을 형성하고 상기 질화막을 전면식각하여 도전체 패턴(102)과 하드마스크막(104)의 적층패턴 측벽에 스페이서(106)를 형성한 다음, 전체표면 상부에 질화막, 탄화막 또는 알루미늄막을 증착하여 캐핑층(108)을 형성한다.

<39> 상기 도전체 패턴(102)은 게이트 라인, 비트 라인, 스토리지 패턴 또는 금속배선 라인이 될 수 있다.

<40> 다음, 상기 구조의 전체표면 상부에 BPSG(borophospho silicate glass) 산화막, PSG(phospho silicate glass) 산화막, TEOS(tetraethyl ortho silicate) 산화막, PE-TEOS(plasma enhanced-tetraethyl ortho silicate) 산화막, O₃-TEOS(O₃- tetraethyl ortho silicate) 산화막, HDP(high density plasma) 산화막, APL(advanced planarization layer) 산화막 또는 USG(undoped silicate glass) 산화막을 증착하여 평탄화된 층간절연막(110)을 형성한다.

<41> 상기 캐핑층(108)을 구성하는 질화막, 탄화막 또는 알루미늄막은 층간절연막 (110)을 구성하는 산화막에 대하여 선택비가 우수하다.

<42> 다음, 포토리소그래피 공정을 이용하여 층간절연막(110)을 선택적으로 식각하여 콘택홀 영역을 정의하는 콘택홀(114)을 형성한다.

- <43> 상기 포토리소그래피 공정을 살펴보면, 먼저 층간절연막(110) 상부에 감광막(미도시)을 형성시킨 후, 상기 감광막을 선택적으로 노광 및 현상하여 감광막 패턴(112)을 형성함으로써 콘택 마스크를 정의한다.
- <44> 도 2b를 참조하면, 콘택 마스크인 감광막 패턴(112)을 식각 장벽으로 하여 캐핑층(108)이 노출될 때까지 층간절연막(110)을 선택적으로 식각하여 콘택홀(114)을 형성한다.
- <45> 다음, O_2 플라즈마를 사용하여 잔류하는 감광막 패턴(112)을 제거한 다음, 콘택홀(114)의 바닥면에 존재하는 캐핑층(108)을 $CF_4/CHF_3/Ar$ 혼합가스 플라즈마 또는 $CHF_3/O_2/Ar$ 혼합가스를 플라즈마를 사용하여 식각함으로써 활성영역이 오픈되도록 하는데, 그 결과 콘택홀(114)의 바닥면에는 탄소 또는 불소가 함유되어 있는 산화막인 폴리머 찌꺼기(116)가 잔류하게 된다.
- <46> 도 2c를 참조하면, 폴리머 찌꺼기(116)가 잔류하는 콘택홀(114)을 산소를 포함하는 혼합가스 플라즈마로 처리하여 폴리머 찌꺼기(116)를 탄소 또는 불소가 제거된 순수한 산화막인 실리콘 산화막(118)으로 변환시킨다.
- <47> 상기 산소를 포함하는 혼합가스 플라즈마로는 $NF_3/O_2/He$ 혼합가스 플라즈마, Ar/O_2 혼합가스 플라즈마, CF_4/O_2 혼합가스 플라즈마 또는 $CF_4/O_2/Ar$ 혼합가스 플라즈마가 사용될 수 있다.
- <48> 상기 플라즈마 처리는 식각공정이 수행되는 식각 챔버(etching chamber)에서 인-시투(in-situ)로 수행하거나, 별도의 플라즈마 챔버(plasma chamber)에서 엑스-시투(ex-situ)로 수행할 수 있다.

- <49> 다음, 상기 결과물을 HF 또는 BOE(Buffered Oxide Etch, $\text{NH}_4\text{F}+\text{HF}$)를 이용한 습식공정으로 세정하여 콘택홀(114) 하부에 형성된 실리콘 산화막(118)을 제거하는데, 이는 구조적으로 층간절연막(110)을 구성하는 물질에 비해 용이하게 식각되기 때문에 층간절연막(110)의 손실을 최소화한다.
- <50> 도 2d를 참조하면, 상기 구조의 전체표면 상부에 폴리실리콘층 또는 금속층 등의 도전층(120)을 증착한 다음, 이를 평탄화식각함으로써 폴리플러그 또는 메탈라인(미도시) 등을 형성할 수 있다 (도 2d 참조).
- <51> 도 3a 내지 도 3d는 본 발명에 따른 반도체소자의 콘택홀 형성시 각각의 처리 단계에 따른 콘택홀의 표면 분석 결과를 나타내는 그래프로서, 본 발명에 따라 산소를 포함하는 혼합가스 플라즈마를 사용하여 콘택홀을 처리한 다음 세정공정을 수행하는 경우, 이물질이 가장 용이하게 제거되는 것을 도시하고 있다.
- <52> 도 3a를 참조하면, 감광막 패턴(112) 제거 후 콘택홀(114)의 표면을 분석한 결과를 나타내는 그래프이다.
- <53> 도 3b를 참조하면, 감광막 패턴(112)을 제거한 다음, 산소를 포함하는 혼합가스 플라즈마를 사용하여 콘택홀(114)을 처리하였을 때 콘택홀(114)의 표면을 분석한 결과를 나타내는 그래프이다.
- <54> 도 3c를 참조하면, 감광막 패턴(112)을 제거한 다음, 습식공정으로 콘택홀(114)을 세정하였을 때 콘택홀(114)의 표면을 분석한 결과를 나타내는 그래프이다.
- <55> 도 3d를 참조하면, 본 발명에 따라 감광막 패턴(112)을 제거한 다음, 산소를 포함하는 혼합가스 플라즈마를 사용하여 콘택홀(114)을 처리하고 나서, 습식공정으로

콘택홀(114)을 세정하였을 때 콘택홀(114)의 표면을 분석한 결과를 나타내는 그래프이다.

<56> 하기의 표 1은 상기 각각의 처리 단계에 따른 콘택홀의 표면 분석 결과 탄소 원자의 함량과 산소 원자의 함량을 나타낸 것으로, 도 3a의 경우 탄소 원자의 함량이 4.5원자%이고, 산소 원자의 함량이 17.1원자%인데 반해, 감광막 패턴 제거 후 산소를 포함하는 혼합가스 플라즈마 처리 단계만을 추가한 도 3b의 경우 탄소 원자의 함량이 1.3원자%이고, 산소 원자의 함량이 20.9원자%로서 탄소의 함량은 감소하였고, 산소의 함량은 증가하였음을 알 수 있다.

<57> 여기서, 탄소의 함량이 감소한 이유는 플라즈마 처리에 의해 탄소가 제거되었고, 산소의 함량이 증가한 이유는 플라즈마 처리에 의해 반도체기판인 실리콘 표면이 산화되었기 때문이다.

<58> 또한, 감광막 패턴 제거 후 세정 단계만을 추가한 도 3c의 경우 탄소 원자의 함량이 4.1원자%이고, 산소 원자의 함량이 11.9원자%로서 도 3a의 경우와 비교하였을 때 탄소의 함량은 크게 변화가 없고, 산소의 함량은 감소하였음을 알 수 있다.

<59> 여기서, 산소의 함량이 감소한 것은 산화막 제거 화합물인 HF 또는 BOE을 사용하여 세정공정을 수행하였기 때문이다.

<60> 그러나, 본 발명에 따라 감광막 패턴을 제거한 다음, 산소를 포함하는 혼합가스 플라즈마 처리 단계 및 세정 단계를 모두 수행하는 도 3d의 경우 탄소 원자의 함량이 1.0원자%이고, 산소 원자의 함량이 2.8원자%로서 도 3a의 경우와 비교하였을 때 탄소 및 산소의 함량이 모두 감소하였음을 알 수 있다.

<61> 여기서 탄소 및 산소의 함량이 모두 감소한 이유는 전술한 바와 같이 플라즈마 처리에 의해 탄소가 제거되었고, 산화막 제거 화합물인 HF 또는 BOE을 사용하여 세정공정을 수행하였기 때문이다.

<62> [표 1]

분석원자	도 3a	도 3b	도 3c	도 3d
탄소 함량 (원자%)	4.5	1.3	4.1	1.0
산소 함량 (원자%)	17.1	20.9	11.9	2.8

【발명의 효과】

<64> 이상에서 살펴본 바와 같이, 본 발명에서는 콘택홀을 형성한 후 콘택홀의 바닥면에 잔류하는 폴리머 찌꺼기를 산소를 포함하는 혼합가스 플라즈마로 처리함으로써 탄소 또는 불소가 제거된 순수한 산화막으로 변환하여 후속 세정공정에서 이를 용이하게 제거할 수 있다. 이에 따라 도전층 형성 전에 이물질이 없는 콘택홀을 얻게 되어 고집적화된 반도체소자의 셀의 콘택 저항을 낮아지게 할 수 있다.

【특허청구범위】**【청구항 1】**

(a) 소정의 하부구조를 구비한 반도체기판 전면에 캐핑층 및 평탄화된 층간절연막을 순차적으로 형성하는 단계;

(b) 상기 층간절연막을 선택적으로 식각하여 상기 캐핑층의 소정영역을 노출시키는 단계;

(c) 상기 노출된 캐핑층을 제거하는 단계;

(d) 상기 구조물을 산소를 포함하는 혼합가스 플라즈마로 처리하여 잔류하는 폴리머 찌꺼기를 실리콘 산화막(SiO_2 막)으로 변환시키는 단계; 및

(e) 세정공정을 수행하여 상기 실리콘 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 콘택홀 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 산소를 포함하는 혼합가스 플라즈마는 $\text{NF}_3/\text{O}_2/\text{He}$ 혼합가스 플라즈마, Ar/O_2 혼합가스 플라즈마, CF_4/O_2 혼합가스 플라즈마 및 $\text{CF}_4/\text{O}_2/\text{Ar}$ 혼합가스 플라즈마로 이루어진 군으로부터 선택되는 것을 특징으로 하는 반도체소자의 콘택홀 형성방법.

【청구항 3】

제 1 항에 있어서,

상기 (d) 단계는 식각 챔버(etching chamber)에서 인-시투(in-situ)로 수행되는 것을 특징으로 하는 반도체소자의 콘택홀 형성방법.

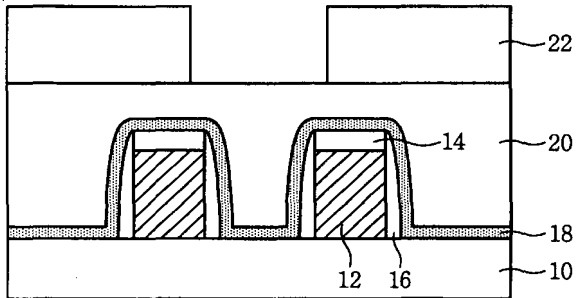
【청구항 4】

제 1 항에 있어서,

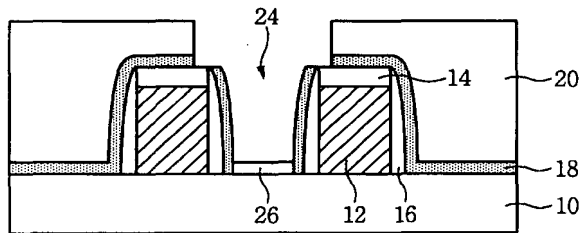
상기 (d) 단계는 별도의 플라즈마 챔버(plasma chamber)에서 엑스-시투(ex-situ)로 수행되는 것을 특징으로 하는 반도체소자의 콘택홀 형성방법.

【도면】

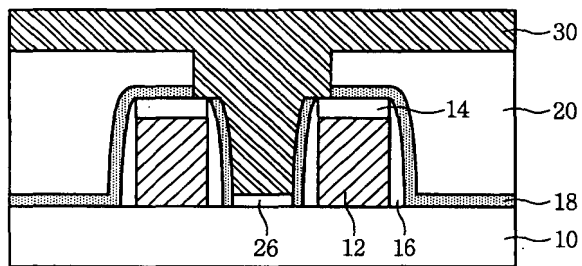
【도 1a】



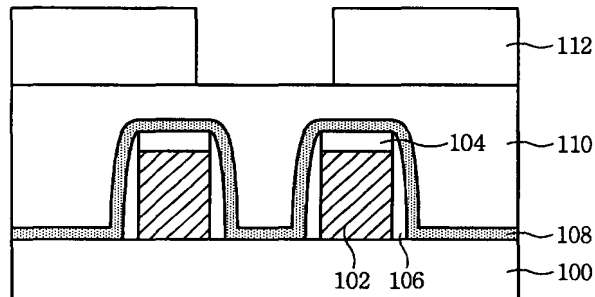
【도 1b】



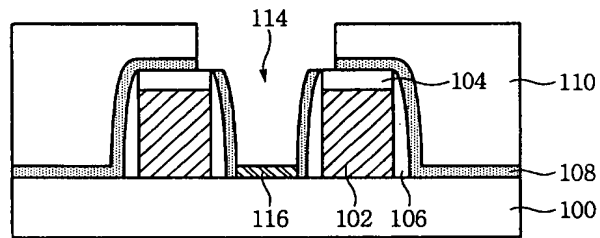
【도 1c】



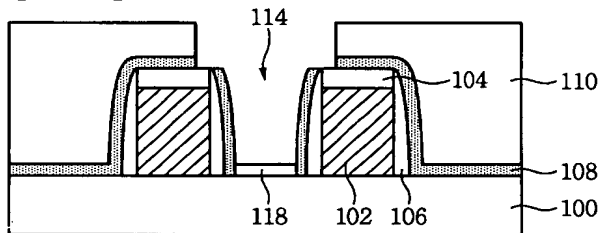
【도 2a】



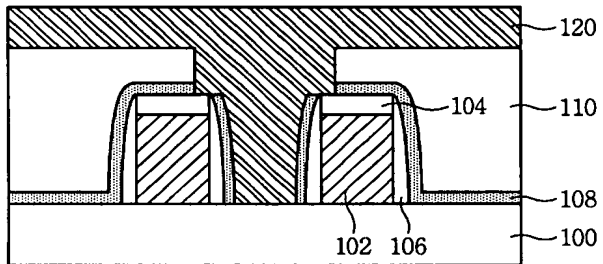
【도 2b】



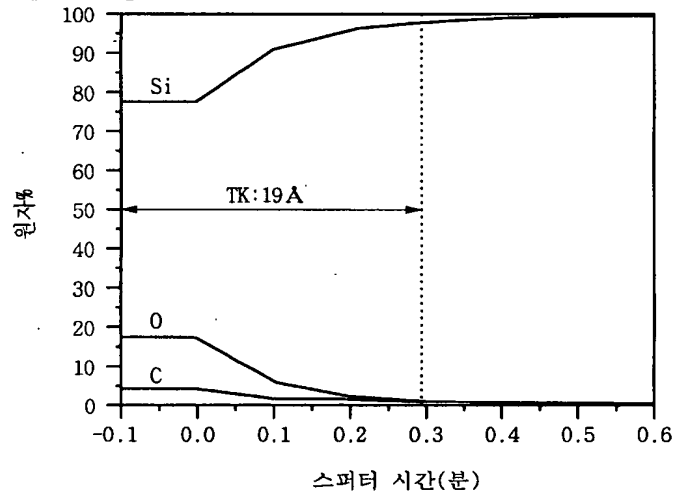
【도 2c】



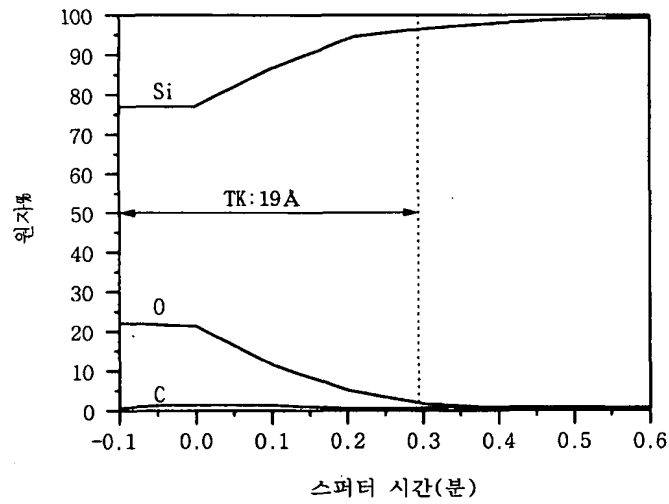
【도 2d】



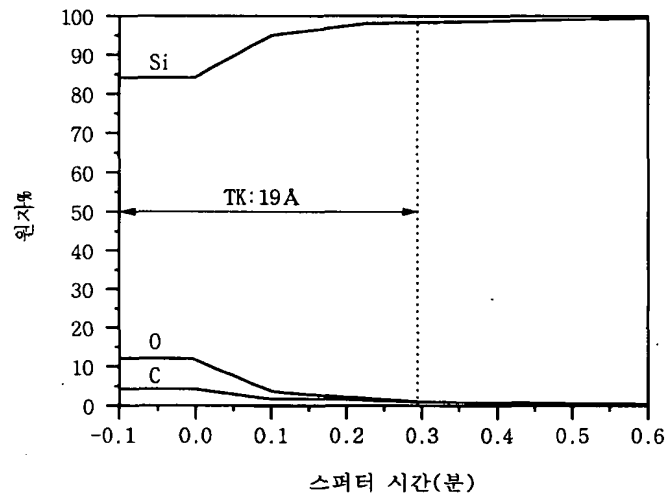
【도 3a】



【도 3b】



【도 3c】



【도 3d】

